

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-067779

(43)Date of publication of application : 09.03.1999

(51)Int.Cl.

H01L 21/322

H01L 21/20

(21)Application number : 09-225966

(71)Applicant : NEC CORP

(22)Date of filing : 22.08.1997

(72)Inventor : AOYAMA TORU

(54) SEMICONDUCTOR SUBSTRATE AND MANUFACTURE THEREOF

(57)Abstract:

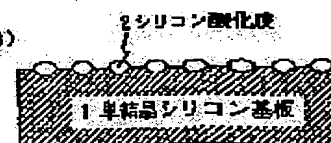
PROBLEM TO BE SOLVED: To manufacture an epitaxial substrate provided with a gettering site at a low cost.

SOLUTION: A silicon oxide film 2 is selectively formed by making the surface of a single-crystal silicon substrate 1 absorb a required quantity of oxygen. On the surface of the single-crystal silicon substrate exposed through an opening part between the silicon oxide film 2, an epitaxial layer 3a is selectively formed, and furthermore an epitaxial layer 3 is formed thereon. The silicon oxide film 2 acts as a gettering site, and an epitaxial substrate provided with the gettering site is manufactured. Next, the gettering site is obtained with a thin film of 1-2 μm , without requiring a process other than epitaxial growth, and it is not necessary to control the oxygen concentration and doping amount, etc., for a substrate to be grown, so that the cost is reduced to almost two thirds that of a conventional epitaxial substrate.

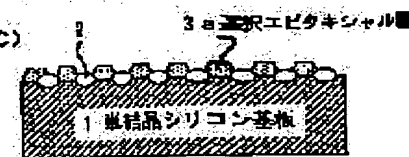
(A)



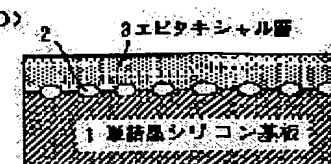
(B)



(C)



(D)



LEGAL STATUS

[Date of request for examination]

22.08.1997

[Date of sending the examiner's decision of rejection]

05.12.2000

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

BEST AVAILABLE COPY

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-67779

(43) 公開日 平成11年(1999) 3月9日

(51) Int.Cl.⁶

H 0 1 L 21/322
21/20

識別記号

F I

H 0 1 L 21/322
21/20

Q

審査請求 有 請求項の数 5 O L (全 5 頁)

(21) 出願番号

特願平9-225966

(22) 出願日

平成9年(1997) 8月22日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 青山 亨

東京都港区芝五丁目7番1号 日本電気株式会社内

(74) 代理人 弁理士 鈴木 章夫

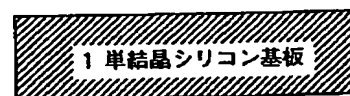
(54) 【発明の名称】 半導体基板及びその製造方法

(57) 【要約】

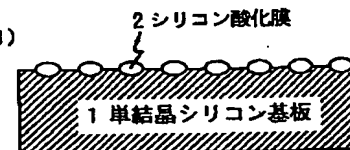
【課題】 ゲッタリングサイトを有するエピタキシャル基板を低コストに製造する。

【解決手段】 単結晶シリコン基板1の表面に所要酸素量で酸素を吸着させることで、シリコン酸化膜2を選択的に形成する。このシリコン酸化膜2間の開口部に露呈される単結晶シリコン基板の表面に選択的にエピタキシャル層3aを形成し、さらにその上にエピタキシャル層3を形成する。シリコン酸化膜2がゲッタリングサイトとなり、ゲッタリングサイトを有したエピタキシャル基板が作製できる。また、エピタキシャル成長以外の工程を必要とせずに1~2 μ mの薄い膜でゲッタリングサイトを得ることができ、かつ被成長基板については酸素濃度、ドーピング量などの制御が必要なくなるため、従来のエピタキシャル基板よりも2/3程度に低コスト化できる。

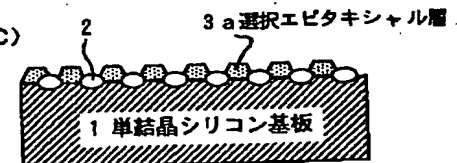
(A)



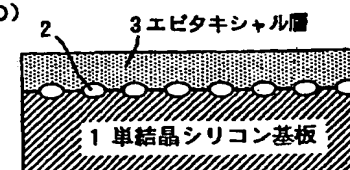
(B)



(C)



(D)



【特許請求の範囲】

【請求項1】 単結晶半導体基板と半導体エピタキシャル層の界面に酸化膜を有し、前記酸化膜には多数の開口部が存在し、前記開口部を通して前記単結晶半導体基板と前記エピタキシャル層とが接続していることを特徴とする半導体基板。

【請求項2】 半導体基板の表面に所要量の酸素を吸着させてその表面に酸化膜を形成する工程と、前記単結晶半導体基板の表面上にエピタキシャル成長を行ってエピタキシャル層を形成する工程とを含むことを特徴とする半導体基板の製造方法。

【請求項3】 前記酸素の吸着を行う際の前記単結晶半導体基板の表面における酸素量が 1×10^{13} から $1 \times 10^{15} \text{ cm}^{-2}$ である請求項2に記載の半導体基板の製造方法。

【請求項4】 前記単結晶半導体基板の表面に酸素を吸着を行う際に、 400°C から 800°C の間の温度でエピタキシャル成長室に前記単結晶半導体基板を搬入する請求項2に記載の半導体基板の製造方法。

【請求項5】 前記酸化膜は前記半導体基板の表面にアイランド状に形成し、前記エピタキシャル成長は、前記酸化膜の開口部を通して露呈される前記半導体基板の表面に行う選択エピタキシャル成長と、これに続く非選択成長条件でのエピタキシャル成長とである請求項2ないし4のいずれかに記載の半導体基板の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は半導体基板及びその製造方法に関し、特にゲッタリングサイトを有する単結晶シリコン基板に適用して好適な半導体基板とその製造方法に関する。

【0002】

【従来の技術】 単結晶シリコン表面上にシリコンをエピタキシャル成長したシリコンエピタキシャル基板は、通常の単結晶シリコン基板に比べて、結晶欠陥が少ない、表面ラフネスが小さい等の利点がある。そのため、このエピタキシャル基板上に形成したゲート酸化膜質は通常の単結晶シリコン基板のものに比べて優れており、この種のエピタキシャル基板はデバイス作製用の基板として有望視されている（日経マイクロデバイス、1996年6月号、P. 126-133）。しかし、エピタキシャル膜は欠陥が無いために、重金属などの不純物をゲッタリングするサイトが存在しないため、汚染に弱いという問題がある。これを解決するために幾つかの方法が提案されている。

【0003】 その1つは、図3に示すように、高濃度にボロンをドーピングした p^+ シリコン基板101の上に p 型のエピタキシャル層102を形成した基板（ p/p^+ 基板）である。この基板では、 P^+ シリコン基板101の結晶格子サイズをエピタキシャル層102に比べて

非常に小さくすることで、 P^+ シリコン基板101/エピタキシャル層102の界面にミスフィット転位103を生じさせて、ここをゲッタリングサイトとしている。また、他の1つは特開平3-50186号公報に記載された技術であり、図4に示すように、単結晶シリコン基板201を $750 \sim 900^\circ\text{C}$ で熱処理を施して基板内に酸素析出核203を形成させた後に、エピタキシャル成長を行ってエピタキシャル層202を形成するというものである。ここでは、酸素析出核203をゲッタリングサイトとしている。

【0004】

【発明が解決しようとする課題】 ところで、エピタキシャル基板を実用化する上で、技術的には前述したゲッタリングの問題があるが、もう1つコストの問題がある。エピタキシャル基板のコストをいかに通常基板に近づけるかが、実用化のキーポイントになっている。図3に示した従来の p/p^+ 基板では、後工程の熱処理で高濃度のボロンが基板から拡散してくるために、その影響をデバイスに及ぼさないようにエピタキシャル膜102を $10 \mu\text{m}$ 以上厚くしなければならない。高濃度ボロンの拡散を考えなければ、エピタキシャル膜厚は $1 \sim 2 \mu\text{m}$ で済むわけであるから、この方法による基板作製はかなりのコスト高となるという問題点がある。

【0005】 また、図4に示したエピタキシャル成長前に熱処理を行う方法においては、エピタキシャル膜厚は薄くて済むが、熱処理に長時間（通常では4時間）を要する。また、酸素析出密度を制御するために、被成長基板の酸素濃度の管理を厳しくしなくてはならない。そのために、被成長基板のコストが高くなる。以上のことにより、この方法においてもエピタキシャル基板のコストアップの問題が生じてくる。

【0006】 本発明の目的は、ゲッタリングサイトを有するエピタキシャル基板を低コストに製造することが可能な半導体基板とその製造方法を提供することにある。

【0007】

【課題を解決するための手段】 本発明の半導体基板は、単結晶半導体基板と半導体エピタキシャル層の界面に酸化膜を有しており、この酸化膜には多数の開口部が存在し、この開口部を通して前記単結晶半導体基板と前記エピタキシャル層とが接続している構成とされる。

【0008】 また、本発明の製造方法は、半導体基板の表面に所要量の酸素を吸着させてその表面に酸化膜を形成する工程と、前記単結晶半導体基板の表面上にエピタキシャル成長を行ってエピタキシャル層を形成する工程とを含んでいる。ここで、前記酸素の吸着を行う際の前記単結晶半導体基板の表面における酸素量が 1×10^{13} から $1 \times 10^{15} \text{ cm}^{-2}$ であることが好ましい。また、前記単結晶半導体基板の表面に酸素を吸着を行う際に、 400°C から 800°C の間の温度でエピタキシャル成長室に前記単結晶半導体基板を搬入することが好ましい。

【0009】本発明では、半導体基板上に吸着させる酸素量を制御することで、半導体基板上に形成したシリコン酸化膜は一樣にならず、アイランド化され、分散的に半導体基板の表面が露出した状態になる。この状態で、エピタキシャル成長を行ない、この際に成長を選択成長条件で行うと、酸化膜の開口部の半導体基板表面からエピタキシャル成長が起こる。選択成長なのでシリコン酸化膜上での成長は起こらず、エピタキシャル層には欠陥が発生しない。そして、成長が進むとエピタキシャル装置酸化膜を取り囲むように成長して酸化膜は膜中に残り、この酸化膜がゲッタリングサイトとなる。

【0010】

【発明の実施の形態】次に本発明の実施の形態について図面を参照して説明する。図1は本発明の半導体基板を製造工程順に示す断面図である。先ず、図1(A)のように、被成長基板の単結晶シリコン基板1を弗化水素水溶液に浸して表面の自然酸化膜を除去する。次に、前記単結晶シリコン基板1をエピタキシャル成長装置に搬入する。このエピタキシャル成長装置として、ここでは抵抗加熱式の縦型減圧化学気相成長(LPCVD)装置を用いている。そして、図2(B)のように、前記単結晶シリコン基板1上に適量の酸素を吸着させ、その表面にアイランド状のシリコン酸化膜2を形成する。

【0011】ここで、前記シリコン酸化膜2の形成には、前記エピタキシャル成長装置の内部を所定の温度に設定し、その状態で前記単結晶シリコン基板1をエピタキシャル成長装置内に搬入することによって形成できる。すなわち、図2に単結晶シリコン基板1をエピタキシャル成長装置内に搬入する際の入炉温度と、単結晶シリコン基板1表面に吸着した酸素量との関係を示す。入炉速度は0.2~5m/分の範囲で、吸着酸素量に影響がなかった。入炉温度が低くなると、入炉時の酸素巻き込みによる酸化膜厚が薄くなる。そのため、単結晶シリコン基板表面に吸着する酸素量が小さくなっている。850℃以上で入炉するとシリコン酸化膜が厚くなりすぎて、シリコンが露出しないために選択成長ができな

い。また、350℃以下の温度では酸素吸着量が少ないためにシリコン酸化膜2がエピタキシャル膜3の下に形成されない。アイランド化したシリコン酸化膜2は、400~800℃の間で実現できる。

【0012】因みに、この実施の形態では、エピタキシャル成長装置への搬入に際して、成長装置の温度を600℃、入炉速度を1m/分とした。これにより、単結晶シリコン基板表面に10Åのアイランド化したシリコン酸化膜2を形成し、このシリコン酸化膜2間に形成される開口部において前記単結晶シリコン基板1の表面を露呈させる。なお、この条件の界面酸素量は2次イオン質量分析測定によると $1.4 \times 10^{14} / \text{cm}^2$ であった。

【0013】しかる上で、図1(C)のように、前記エピタキシャル成長装置内でシリコンのエピタキシャル成

長を行ない、前記シリコン酸化膜2の間の開口部にシリコンの選択エピタキシャル層3aを形成する。このエピタキシャル成長は、成長ガスにジクロロシラン、水素、塩化水素を用いて、温度850℃、圧力10Torrで行った。これにより、シリコン酸化膜2の開口部からのみエピタキシャル膜を形成した。ここでは、選択条件によるエピタキシャル成長のため、シリコン酸化膜2上からの成長が抑られ、形成した選択エピタキシャル層3aは無欠陥となっている。

【0014】さらに、エピタキシャル成長を続けると、図1(D)のように、シリコン酸化膜2は選択エピタキシャル層3aの下に埋もれてしまい、以降は全面に対して均一なエピタキシャル成長が行われ、シリコン基板1の全面にわたって均一なエピタキシャル層3が形成される。この結果、エピタキシャル層3の下に存在されるシリコン酸化膜2がゲッタリングサイトとして形成されることになる。したがって、この実施形態では、エピタキシャル成長前にエピタキシャル成長装置におけるシリコン基板の入炉条件と成長条件を工夫するだけで、ゲッタリングサイトを有するエピタキシャル基板が形成できる。

【0015】ここで、エピタキシャル成長装置は、到達真空度が 1×10^{-9} 以下のUHV-CVD装置を用いて行なうことも可能である。そのプロセスフローは、前記第1の実施形態と同じである。ただ、エピタキシャル成長前に酸素を吸着させる工程として、この実施形態では単結晶シリコン基板1に吸着させる酸素量を厳密に制御している。すなわち、この実施形態では、弗化水素水溶液で自然酸化膜を除去した基板をエピタキシャル成長装置の成長室に搬入後、真空度 1×10^{-6} Torr以下で700℃以上の熱処理をして搬入の際に単結晶シリコン基板1表面に吸着した酸素を離脱させる。次に、成長室内で600℃で分圧 1×10^{-4} Torrで1分間酸素を単結晶シリコン基板1に暴露した。その際に、吸着した酸素量は $5 \times 10^{14} / \text{cm}^2$ である。

【0016】次に成長を行うわけであるが、成長ガスはジシランを用いた。本実施の形態では、成長初期のシリコン酸化膜2が埋まるまでは選択成長条件で行って、その後、成長速度を稼ぐために非選択条件で成長した。ジシランは分圧が低いときには選択性が高いので、成長初期の分圧を 2×10^{-5} Torr、その後5 $\times 10^{-4}$ Torrで成長した。以上により、実施の形態1と同様にシリコン酸化膜2のゲッタリングサイトを有するエピタキシャル基板が形成できた。

【0017】

【発明の効果】以上説明したように本発明の半導体基板は、単結晶半導体基板とエピタキシャル層との界面に選択的にシリコン酸化膜が形成されているため、このシリコン酸化膜がゲッタリングサイトとなり、ゲッタリングサイトを有したエピタキシャル基板が作製できる。ま

5

た、本発明の製造方法では、エピタキシャル成長以外の工程を必要とせずに1~2 μ mの薄い膜でゲッタリングサイトを得ることができ、かつ被成長基板については酸素濃度、ドーピング量などの制御が必要なくなるため、本発明によるエピタキシャル基板のコストを従来のエピタキシャル基板よりも2/3程度に低コスト化できる。

【図面の簡単な説明】

【図1】本発明の実施形態を説明するための工程図である。

【図2】エピタキシャル成長装置へのシリコン基板の入

6

炉温度と界面酸素量の関係を示す図である。

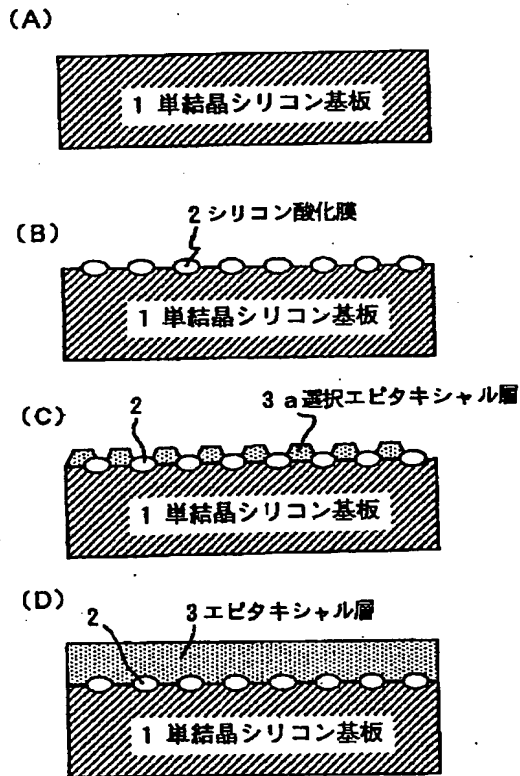
【図3】従来のゲッタリングサイトを有するエピタキシャル基板の一例の模式的な断面図である。

【図4】従来のゲッタリングサイトを有するエピタキシャル基板の他の例の模式的な断面図である。

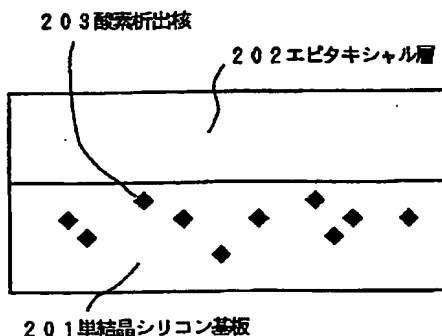
【符号の説明】

- 1 単結晶シリコン基板
- 2 シリコン酸化膜
- 3 a 選択エピタキシャル層
- 3 エピタキシャル層

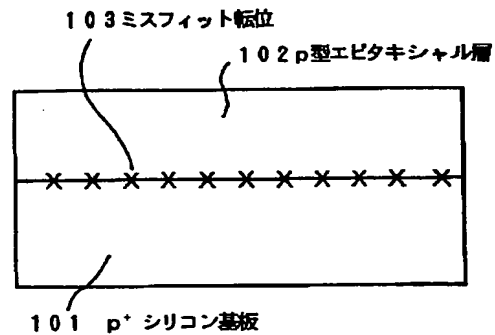
【図1】



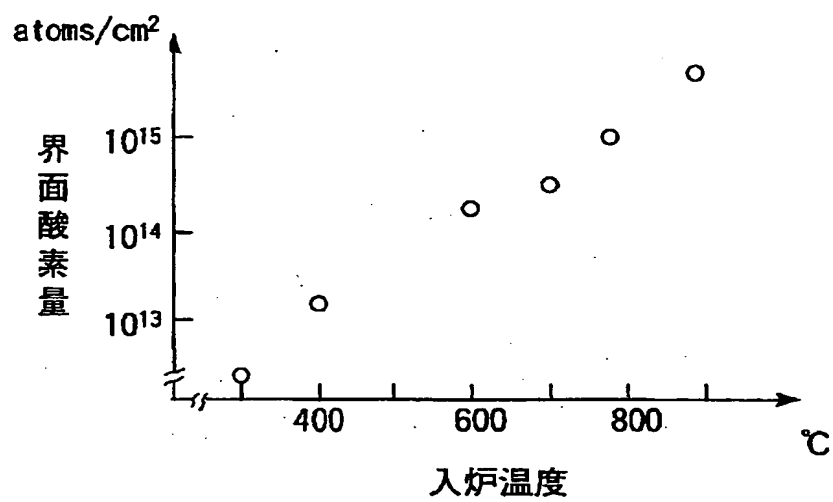
【図4】



【図3】



【図2】



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.